

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-144558**

(43)Date of publication of application : **25.05.2001**

(51)Int.Cl.

H03F 3/45

(21)Application number : **11-324266**

(71)Applicant : **MATSUSHITA ELECTRIC IND
CO LTD**

(22)Date of filing : **15.11.1999**

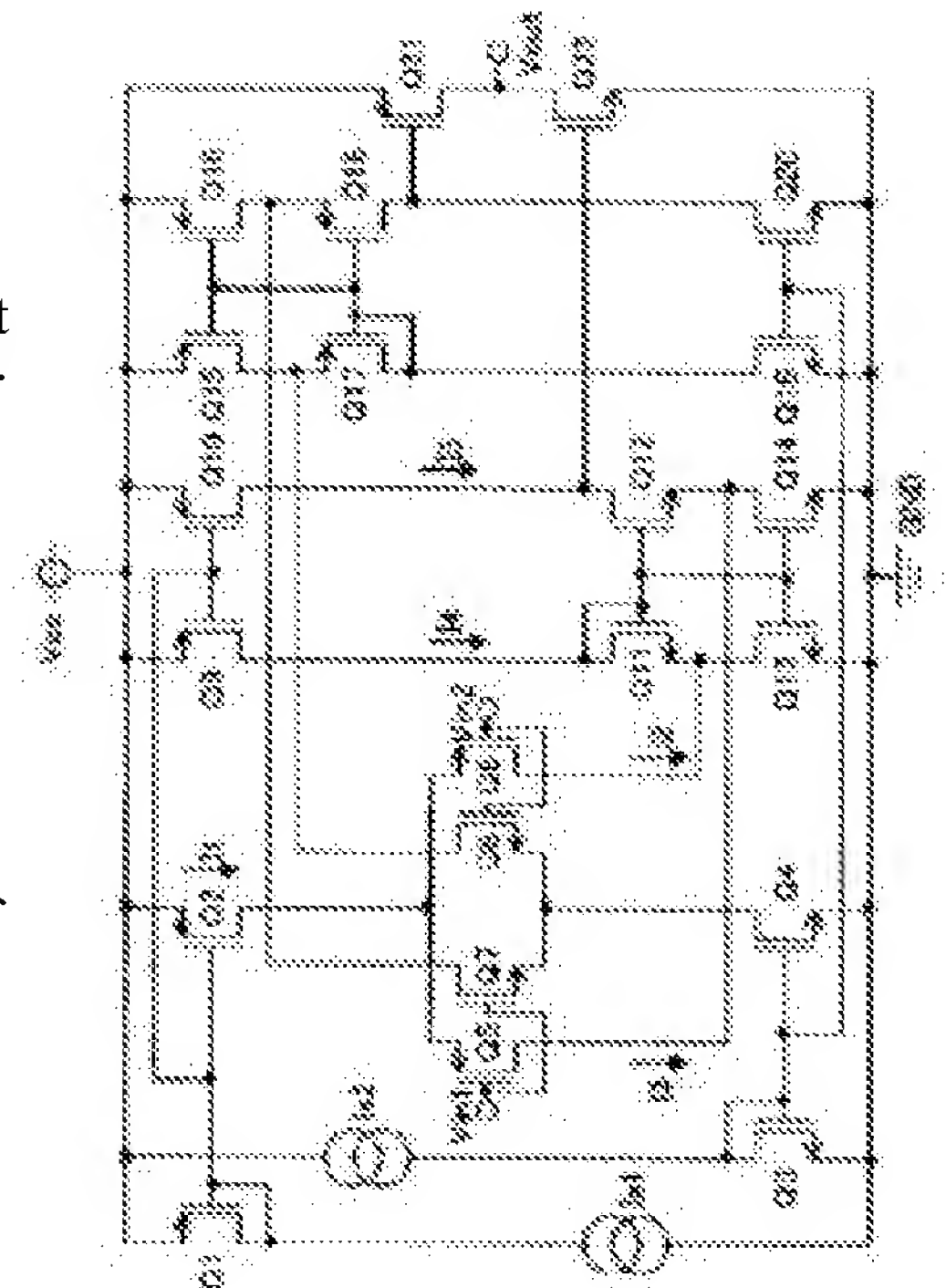
(72)Inventor : **NISHIKUBO TETSUYA
NAGAOKA KAZUHIKO**

(54) DIFFERENTIAL AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a differential amplifier that can prevent reduction in a phase margin, realize a circuit configuration that is hardly oscillated, control a gate voltage of an output transistor(TR) without the need for a gate bias power supply circuit for an upper side TR of a loopback cascode current mirror circuit and obtain a rail-to-rail common mode output voltage range with less output on-resistance.

SOLUTION: The differential amplifier has a differential input circuit and a loopback cascode current mirror circuit (Q11, Q12, Q13, and Q14) whose gates are all connected receives a current output signal of the differential input circuit so as to control a gate voltage of an output TR (Q22).



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A differential amplifier including a differential input circuit, a clench cascode current mirror circuit which connected all the gates where a current output signal of said differential input circuit is inputted, and an output transistor circuit controlled by an output of said cascode current mirror circuit.

[Claim 2]A differential input circuit with the input-common-mode-voltage range of a rail toe rail, and a clench cascode current mirror circuit which connected all the gates where a current output signal of said differential input circuit is inputted, A differential amplifier characterized by obtaining an output of an output voltage range of a rail toe rail in phase including an output transistor circuit controlled by an output of said cascode current mirror circuit.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention is provided with a differential amplifier and the function which outputs the common mode voltage of a rail toe rail (Rail-to-Rail) especially, and relates to the differential amplifier which carried out mono- SHIRIKKU integration by the CMOS technology.

[0002]

[Description of the Prior Art]In recent years, the demand of the semiconductor part of low power consumption is increasing from a viewpoint of environmental protection. In a differential amplifier, power consumption is posing a problem at the time of power consumption and an output at the time of stillness of the operational amplifier using a bipolar transistor. Then, in order to solve these problems, the CMOS differential amplifying circuit which was provided with the gestalt of the rail toe rail which used the CMOS technology, and was provided with the input-common-mode-voltage range attracts attention.

[0003]The CMOS differential amplifying circuit with the input-common-mode-voltage range of the conventional rail toe rail is indicated to JP,H7-15249,A.

Hereafter, the outline is explained, referring to Drawings.

Drawing 2 is a representative circuit schematic showing an example of the conventional differential amplifier, and is a circuit indicated to JP,H7-15249,A. The numerals used for Drawings have quoted the thing given [said] in a gazette.

[0004]The differential output current I3 and I4 which are outputted in drawing 2 from P-channel

difference input part 14 which consists of the transistor Q1, Q2, and Q6, It is inputted into the joined part of the source of the transistor Q12 of the clench cascode type current mirror circuits 18/20, and the drain of the transistor Q14, and the joined part of the source of the transistor Q11, and the drain of Q13. The differential output current I1 and I2 which are outputted on the other hand from N-channel difference input part 12 which consists of the transistor Q4, Q5, and Q3, It is inputted into the joined part of the source of the transistor Q10 of the clench cascode type current mirror circuit 22, and the drain of the transistor Q8, and the joined part of the source of the transistor Q9, and the drain of the transistor Q7.

[0005]Here, bias of the gate combination of the transistor Q11 and the transistor Q12 is carried out by bias voltage VB3, and bias of the gate combination of the transistor Q9 and the transistor Q10 is carried out by bias voltage VB2. These constitute a cascode gain stage by return, and the output transistor Q17 of the outputting part 24 and the gate voltage of Q18 are controlled. The voltage between gate source of the transistor Q15 is generated by sending the current restricted with the transistor Q16 between the source drains of the transistor Q15, The voltage between the gate of the transistor Q17 and the gate of the transistor Q18 is controlled, and the consumed electric current of the transistor Q17 and the transistor Q18 is made into the minimum.

[0006]Next, the outline is explained about the example which does not constitute bias power supply among CMOS differential input circuits with the input-common-mode-voltage range of a rail toe rail. The patent No. 2597690 gazette is mentioned as this example.

[0007]Drawing 3 is a representative circuit schematic showing other examples of the conventional differential amplifier, and is a circuit indicated in said patent No. 2597690 gazette. Since the numerals used for these Drawings have also quoted the thing given [said] in a gazette, what was used by drawing 2, and identical codes exist, but these do not correspond.

[0008]In drawing 3, the differential output current outputted from P-channel difference input stage transistors Q38 and Q42, It is inputted into the joined part of the source of the transistor Q60 of the transistor Q60 which constitutes a clench cascode current mirror circuit, Q62, Q70, and Q74, and the drain of the transistor Q62, and the joined part of the source of the transistor Q70, and the drain of the transistor Q74, respectively.

[0009]On the other hand, the differential output current outputted from N-channel difference input stage transistors Q28 and Q32, It is inputted into the joined part of the source of the transistor Q68 of the transistor Q66 which constitutes a clench cascode current mirror circuit, Q68, Q56, and Q58, and the drain of the transistor Q66, and the joined part of the source of the transistor Q58, and the drain of the transistor Q56, respectively. A cascode gain stage is formed by return by these, and the joined part of the drain of the transistor Q58 and the drain of the transistor Q60 is considered as the output Vout.

[0010]An auxiliary amplifier comprises the transistor Q80, Q86, Q82, Q90, and the transistor Q88. For example, if the voltage of the difference input terminal 24 becomes much smaller than the voltage of the input terminal 26, the current which flows into the transistor Q28 will decrease, and the current which flows into the transistor Q68 will increase it. The current which flows into the transistor Q32 increases, and the current which flows into the transistor Q58 decreases. Simultaneously with it, the current which flows into the transistor Q38 increases, and the current which flows into the transistor Q70 decreases. One [the current which flows into the transistor Q42 decreases, and the voltage of the joined part 64 falls, and / the transistor Q60] hard.

[0011]Much current will flow with the transistor Q82 and the transistor Q86, and the voltage of these things to the joined part 50 will push up the voltage of the joined part 65, if it becomes high

and the voltage becomes higher than the gate potential of the transistor Q82 by which analog grounding was carried out. Thereby, one [the transistor Q62 and the transistor Q74 / more current is sent, and the voltage of the joined part 64 and the joined part 78 falls by this, and / the transistor Q60 and the transistor Q70] more hard. The gain of an outputting part goes up from these operations.

[0012]Since it is directly unrelated when contrasting with this invention about the composition and operation of the portion of others of this differential amplifying circuit, it only supposes that it is to attach the reference sign from a gazette, and that explanation is omitted.

[0013]

[Problem(s) to be Solved by the Invention]However, there were the following problems in such composition.

[0014](1) It becomes the tendency for the possibility of an oscillation to become high from reduction of the phase margin it not only becomes a tendency which a chip area, a manufacturing cost, a failure rate, etc. increase according to increase of circuit structure, but generated by the pole about the transfer function of the added circuit.

[0015](2) Although it is necessary to give gate bias voltage to the transistor of the cascode type current mirror circuit upper part which receives the output current of a differential input circuit, generally, dispersion is large to the current value to generate, and control is difficult for it in the bias circuit of a CMOS circuit.

[0016](3) Since resistance of a lower transistor of operation (ON) will be added to an output circuit if an output portion is made into a cascode type current mirror circuit, output impedance increases, and it becomes the tendency for an output voltage range to become narrow.

[0017]This invention solves the above-mentioned conventional problem.

Realize the circuitry which the purpose prevents reduction in the phase margin and is hard to oscillate, and. Gate voltage of an output transistor is made controllable, without needing the gate bias power supply circuit of the upper part transistor of a clench cascode type current mirror circuit, It is providing the differential amplifier which can obtain the output voltage range of a rail toe rail with little output on resistance in phase.

[0018]

[Means for Solving the Problem]A differential amplifier of this invention receives a current output signal of a differential input circuit in a clench cascode type current mirror circuit which connected all the gates, and controls gate voltage of an output transistor.

[0019]According to this invention, realize circuitry which can suppress generating of a pole, prevents reduction in the phase margin by this, and is hard to oscillate, and. By receiving a current output signal of a differential input circuit in a clench cascode type current mirror circuit which connected all the gates, composition does not need to form a difficult bias circuit and it becomes possible to control gate voltage of an output transistor in a CMOS circuit.

[0020]

[Embodiment of the Invention]Hereafter, it explains, referring to Drawings for an embodiment of the invention. Drawing 1 is a representative circuit schematic showing the composition in the embodiment of the differential amplifier of this invention. Although the same thing as what was used by drawing 2 and drawing 3 exists in the numerals used by drawing 1, there are these [no] in correspondence relations.

[0021]The P channel input transistor Q5 and Q6 to which the constant current I1 was supplied by the transistor Q1 and Q2 from the power supply Vcc in drawing 1. By (The numerals I showing

current shall be hereafter given only to the P channel side), the transistor Q3, the N channel input transistor Q7 to which constant current was supplied by Q4, and Q8. The differential input circuit provided with the input-common-mode-voltage range of the gestalt of a rail toe rail is constituted, the P channel output signal current I2 and the current mirror circuit where I3 comprises the transistor Q11 which connected the gate with the drain, and the transistor Q12 -- and, This current mirror circuit and gate are inputted into the joined part of both the source drains of the cascode type current mirror circuit by junction in a current mirror circuit with the common transistor Q13 and the transistor Q14, the current mirror circuit where N channel output signal current comprises the transistor Q17 which connected the gate with the drain, and the transistor Q18 -- and, This current mirror circuit and gate are inputted into the joined part of both the source drains of the cascode type current mirror by junction in a current mirror circuit with the common transistor Q15 and the transistor Q16.

[0022]On the other hand, as a current source of these current mirror circuit, The N channel current mirror circuit constant current source of the source of P channel current mirror circuit constant current (I4, I5) of the transistor Q9 and the transistor Q10, the transistor Q19, and the transistor Q20 is used, From these current sources, by supplying current to said cascode type current mirror circuit, respectively, The gate voltage of the output transistor Q21 and the output transistor Q22 is controlled by drain voltage of the transistor Q12 of a cascode type current mirror circuit, and the transistor Q18, and it enables it to obtain the output Vout of the output voltage range of a rail toe rail.

[0023]As mentioned above, since according to this embodiment the element which constitutes a differential amplifier comprises a comparatively small element number and generating of a pole can be suppressed, Realize the circuitry which prevents reduction in the phase margin by this, and is hard to oscillate, and. The gate voltage of an output transistor can be controlled without the gate bias power supply circuit of the upper part transistor of a clinch cascode type current mirror circuit, and the output of the output voltage range of a rail toe rail with little output on resistance in phase can be obtained.

[0024]

[Effect of the Invention]According to this invention, the current output signal of a differential input circuit as mentioned above by composition received in the clinch cascode type current mirror circuit which connected all the gates. The gate voltage of an output transistor is controlled without a gate bias power supply circuit, and the advantageous effect that the output of the output voltage range of a rail toe rail in phase can be obtained is acquired.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The representative circuit schematic showing the composition in the embodiment of the differential amplifier of this invention

[Drawing 2]The representative circuit schematic showing an example of the conventional differential amplifier

[Drawing 3]The representative circuit schematic showing other examples of the conventional differential amplifier

[Description of Notations]

Q1-Q22 Transistor

Vcc Power supply

[Translation done.]

(51) Int.Cl.⁷
H 0 3 F 3/45

識別記号

F I
H 0 3 F 3/45

テームコード^{*} (参考)
A 5 J 0 6 6

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号	特願平11-324266	(71) 出願人	000003821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年11月15日 (1999. 11. 15)	(72) 発明者	西窪 哲也 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72) 発明者	長岡 一彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74) 代理人	100112128 弁理士 村山 光威

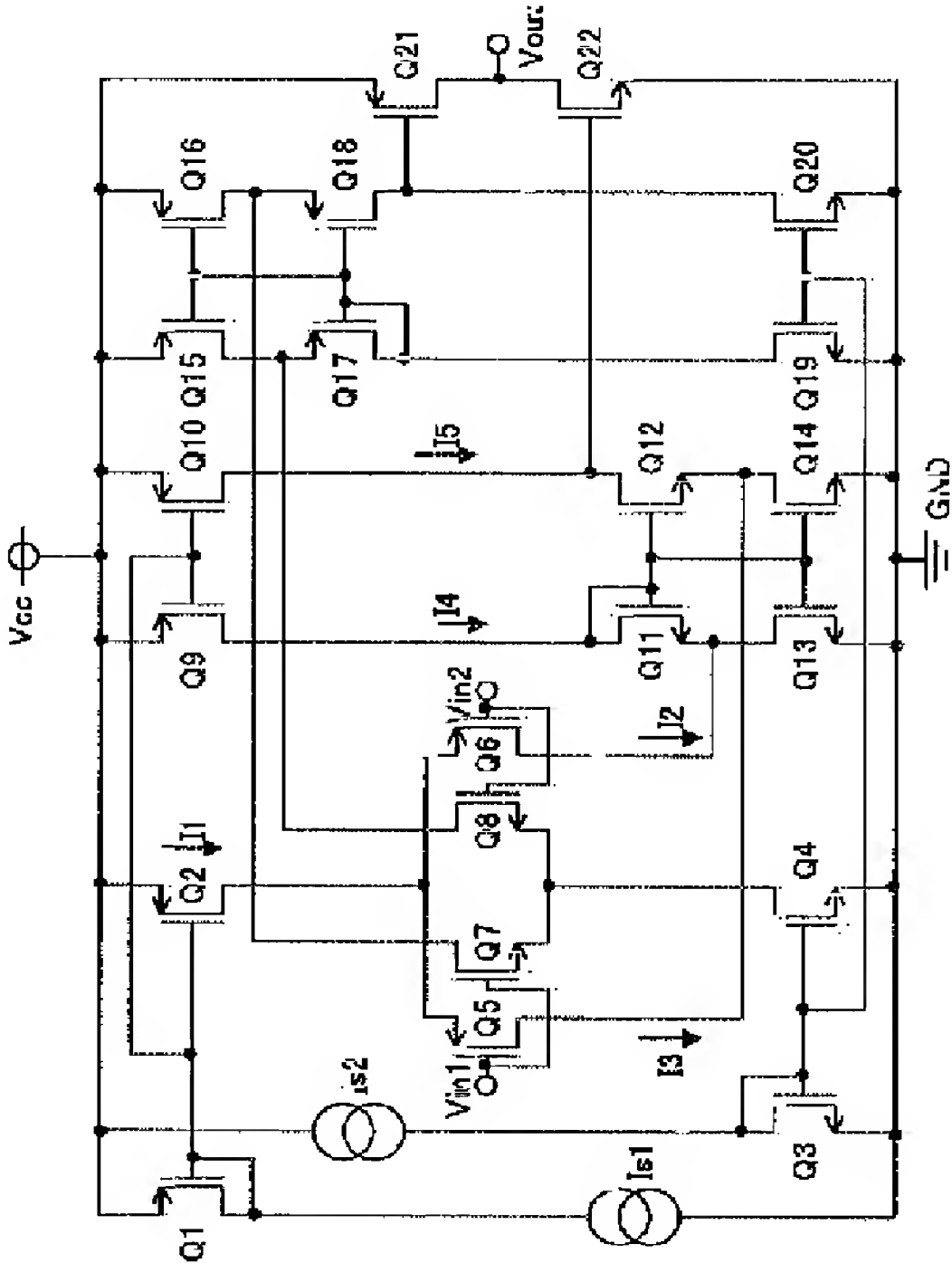
最終頁に続く

(54) 【発明の名称】 差動増幅器

(57) 【要約】

【課題】 位相余裕の減少を防ぎ、発振しにくい回路構成を実現すると共に、折り返しカスコード型カレントミラー回路の上側トランジスタのゲートバイアス電源回路を必要とすることなく出力トランジスタのゲート電圧を制御可能とし、出力オン抵抗の少ないレイル・トゥ・レイルの同相出力電圧範囲を得ることができる差動増幅器を提供する。

【解決手段】 差動入力回路を有し、差動入力回路の電流出力信号を、すべてのゲートを接続した折り返しカスコードカレントミラー回路（Q11，Q12，Q13，Q14）で受け、出力トランジスタ（Q22）のゲート電圧を制御するようにしたものである。



【特許請求の範囲】

【請求項1】 差動入力回路と、前記差動入力回路の電流出力信号が入力されるすべてのゲートを接続した折り返しカスコードカレントミラー回路と、前記カスコードカレントミラー回路の出力により制御される出力トランジスタ回路を含むことを特徴とする差動増幅器。

【請求項2】 レイル・トウ・レイルの同相入力電圧範囲のある差動入力回路と、前記差動入力回路の電流出力信号が入力されるすべてのゲートを接続した折り返しカスコードカレントミラー回路と、前記カスコードカレントミラー回路の出力により制御される出力トランジスタ回路を含み、レイル・トウ・レイルの同相出力電圧範囲の出力を得ることを特徴とする差動増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は差動増幅器、特に、レイル・トウ・レイル(Rail-to-Rail)の同相電圧を出力する機能を備え、CMOS技術でモノリシック集積化した差動増幅器に関するものである。

【0002】

【従来の技術】近年、環境保護の観点から低消費電力の半導体部品の要求が高まりつつある。差動増幅器においては、バイポーラトランジスタを用いた演算増幅器の静止時消費電力及び出力時消費電力が問題となってきた。そこで、これらの問題を解決するために、CMOS技術を用いたレイル・トウ・レイルの形態を備え、同相入力電圧範囲を備えたCMOS差動増幅回路が注目を集めている。

【0003】従来のレイル・トウ・レイルの同相入力電圧範囲のあるCMOS差動増幅回路は、特開平7-15249号公報に記載されており、以下、図面を参照しながらその概要を説明する。図2は従来の差動増幅器の一例を示す等価回路図であり、特開平7-15249号公報に記載されている回路である。なお、図面に用いられている符号は前記公報記載のものを引用している。

【0004】図2において、トランジスタQ1、Q2、Q6からなるP-チャネル差動入力部14より出力される差動出力電流I3、I4は、折り返しカスコード型カレントミラー回路18/20のトランジスタQ12のソースとトランジスタQ14のドレインの接合部、及びトランジスタQ11のソースとQ13のドレインの接合部に入力される。一方、トランジスタQ4、Q5、Q3からなるN-チャネル差動入力部12より出力される差動出力電流I1、I2は、折り返しカスコード型カレントミラー回路22のトランジスタQ10のソースとトランジスタQ8のドレインの接合部、及びトランジスタQ9のソースとトランジスタQ7のドレインの接合部に入力される。

【0005】ここで、バイアス電圧VB3によりトランジスタQ11とトランジスタQ12のゲート結合はバイ

アスされ、バイアス電圧VB2によりトランジスタQ9とトランジスタQ10のゲート結合はバイアスされている。これらにより折り返しカスコード利得段を構成し、出力部24の出力トランジスタQ17、Q18のゲート電圧を制御する。またトランジスタQ16により制限された電流をトランジスタQ15のソースドレイン間に流すことによりトランジスタQ15のゲート・ソース間電圧を発生させ、トランジスタQ17のゲートとトランジスタQ18のゲート間の電圧を制御し、トランジスタQ17とトランジスタQ18の消費電流を最小限にしている。

【0006】次に、レイル・トウ・レイルの同相入力電圧範囲のあるCMOS差動入力回路のうち、バイアス電源を構成しない例についてその概要を説明する。この事例としては特許第2597690号公報が挙げられる。

【0007】図3は従来の差動増幅器の他の例を示す等価回路図であり、前記特許第2597690号公報に記載されている回路である。なお、この図面に用いられている符号も前記公報記載のものを引用しているので、図2で用いたものと同一符号が存在するが、これらは対応するものではない。

【0008】図3において、P-チャネル差動入力段トランジスタQ38およびQ42より出力される差動出力電流は、折り返しカスコードカレントミラー回路を構成するトランジスタQ60、Q62、Q70、Q74の内のトランジスタQ60のソースとトランジスタQ62のドレインの接合部及びトランジスタQ70のソースとトランジスタQ74のドレインの接合部にそれぞれ入力される。

【0009】一方、N-チャネル差動入力段トランジスタQ28およびQ32より出力される差動出力電流は、折り返しカスコードカレントミラー回路を構成するトランジスタQ66、Q68、Q56、Q58の内のトランジスタQ68のソースとトランジスタQ66のドレインの接合部及びトランジスタQ58のソースとトランジスタQ56のドレインの接合部にそれぞれ入力される。これらにより折り返しカスコード利得段を形成し、トランジスタQ58のドレインとトランジスタQ60のドレインの接合部を出力Voutとする。

【0010】補助増幅部はトランジスタQ80、Q86、Q82、Q90及びトランジスタQ88から成る。例えば、差動入力端子24の電圧が入力端子26の電圧よりもずっと小さくなると、トランジスタQ28に流れる電流は減少し、トランジスタQ68に流れる電流が増加する。また、トランジスタQ32に流れる電流は増加し、トランジスタQ58に流れる電流は減少する。それと同時に、トランジスタQ38に流れる電流は増加し、トランジスタQ70に流れる電流は減少する。また、トランジスタQ42に流れる電流は減少し、接合部64の電圧が下がり、トランジスタQ60はハードにオンす

る。

【0011】これらのことから接合部50の電圧は高くなり、その電圧がアナログ接地されたトランジスタQ82のゲート電位よりも高くなると、トランジスタQ82とトランジスタQ86により多くの電流が流れ、接合部65の電圧を押し上げる。これにより、トランジスタQ62とトランジスタQ74はより多くの電流を流し、これによって、接合部64及び接合部78の電圧が低下し、トランジスタQ60及びトランジスタQ70はよりハードにオンする。これらの動作から、出力部のゲインが上昇する。

【0012】なお、この差動増幅回路のその他の部分の構成及び動作については本発明と対比する上で直接関係がないので公報よりの引用符号を付すのみとし、その説明は省略する。

【0013】

【発明が解決しようとする課題】しかしながら、このような構成においては、次のような問題点があった。

【0014】(1)回路規模の増大により、チップ面積、製造コスト、故障率等が増加する傾向になるばかりでなく、付加した回路の伝達関数に関する極により発生する位相余裕の減少から発振の可能性が高くなる傾向になる。

【0015】(2)差動入力回路の出力電流を受けるカスコード型カレントミラー回路の上側のトランジスタにゲートバイアス電圧を与える必要があるが、一般にCMOS回路のバイアス回路では発生する電流値にばらつきが大きく、制御が難しい。

【0016】(3)出力部分をカスコード型カレントミラー回路にすると下側のトランジスタの動作(ON)抵抗が出力回路に付加されるため、出力インピーダンスが増加すると共に、出力電圧範囲が狭くなる傾向になる。

【0017】本発明は上記従来の問題点を解決するものであり、位相余裕の減少を防ぎ、発振しにくい回路構成を実現すると共に、折り返しカスコード型カレントミラー回路の上側トランジスタのゲートバイアス電源回路を必要とすることなく出力トランジスタのゲート電圧を制御可能とし、出力オン抵抗の少ないレイル・トゥ・レイルの同相出力電圧範囲を得ることができる差動増幅器を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の差動増幅器は、差動入力回路の電流出力信号を、すべてのゲートを接続した折り返しカスコード型カレントミラー回路で受け、出力トランジスタのゲート電圧を制御するようにしたものである。

【0019】この発明によれば、極の発生を抑えることができ、これにより位相余裕の減少を防ぎ、発振しにくい回路構成を実現すると共に、差動入力回路の電流出力信号を、すべてのゲートを接続した折り返しカスコード

型カレントミラー回路で受けることにより、CMOS回路では構成が困難なバイアス回路を形成する必要がなく、出力トランジスタのゲート電圧を制御することが可能となる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。図1は本発明の差動増幅器の実施の形態における構成を示す等価回路図である。なお、図1で用いた符号の中には、図2、図3で用いたものと同一のものが存在するが、これら是对応関係にはない。

【0021】図1において、電源VccからトランジスタQ1、Q2によって一定電流I1が供給されたPチャネル入力トランジスタQ5、Q6と(以下、電流を表す符号IはPチャネル側のみに付すものとする)、トランジスタQ3、Q4により一定電流が供給されたNチャネル入力トランジスタQ7、Q8により、レイル・トゥ・レイルの形態の同相入力電圧範囲を備えた差動入力回路が構成され、そのPチャネル出力信号電流I2、I3はドレインとゲートを接続したトランジスタQ11とトランジスタQ12とから構成されるカレントミラー回路及び、このカレントミラー回路とゲートが共通のトランジスタQ13とトランジスタQ14によるカレントミラー回路との接合によるカスコード型カレントミラー回路の両ソース・ドレインの接合部に入力され、また、Nチャネル出力信号電流はドレインとゲートを接続したトランジスタQ17とトランジスタQ18とで構成されるカレントミラー回路及び、このカレントミラー回路とゲートが共通のトランジスタQ15とトランジスタQ16によるカレントミラー回路との接合によるカスコード型カレントミラーの両ソース・ドレインの接合部に入力される。

【0022】一方、これらカレントミラー回路の電流源としては、トランジスタQ9及びトランジスタQ10のPチャネルカレントミラー回路定電流(I4、I5)源並びにトランジスタQ19及びトランジスタQ20のNチャネルカレントミラー回路定電流源が用いられ、これら電流源から、前記カスコード型カレントミラー回路にそれぞれ電流を供給することにより、カスコード型カレントミラー回路のトランジスタQ12及びトランジスタQ18のドレイン電圧により、出力トランジスタQ21及び出力トランジスタQ22のゲート電圧を制御し、レイル・トゥ・レイルの出力電圧範囲の出力Voutを得ることが可能となる。

【0023】以上のように、本実施の形態によれば、差動増幅器を構成する素子は比較的少ない素子数で構成され、極の発生を抑えることができるので、これにより位相余裕の減少を防ぎ、発振しにくい回路構成を実現すると共に、折り返しカスコード型カレントミラー回路の上側トランジスタのゲートバイアス電源回路なしで出力ト

ランジスタのゲート電圧を制御し、出力オン抵抗の少ないレイル・トゥ・レイルの同相出力電圧範囲の出力を得ることができる。

【0024】

【発明の効果】以上のように本発明によれば、差動入力回路の電流出力信号をすべてのゲートを接続した折り返しカスコード型カレントミラー回路で受ける構成により、ゲートバイアス電源回路なしで出力トランジスタのゲート電圧を制御し、レイル・トゥ・レイルの同相出力電圧範囲の出力を得ることができるという有利な効果が

得られる。

【図面の簡単な説明】

【図1】本発明の差動増幅器の実施の形態における構成を示す等価回路図

【図2】従来の差動増幅器の一例を示す等価回路図

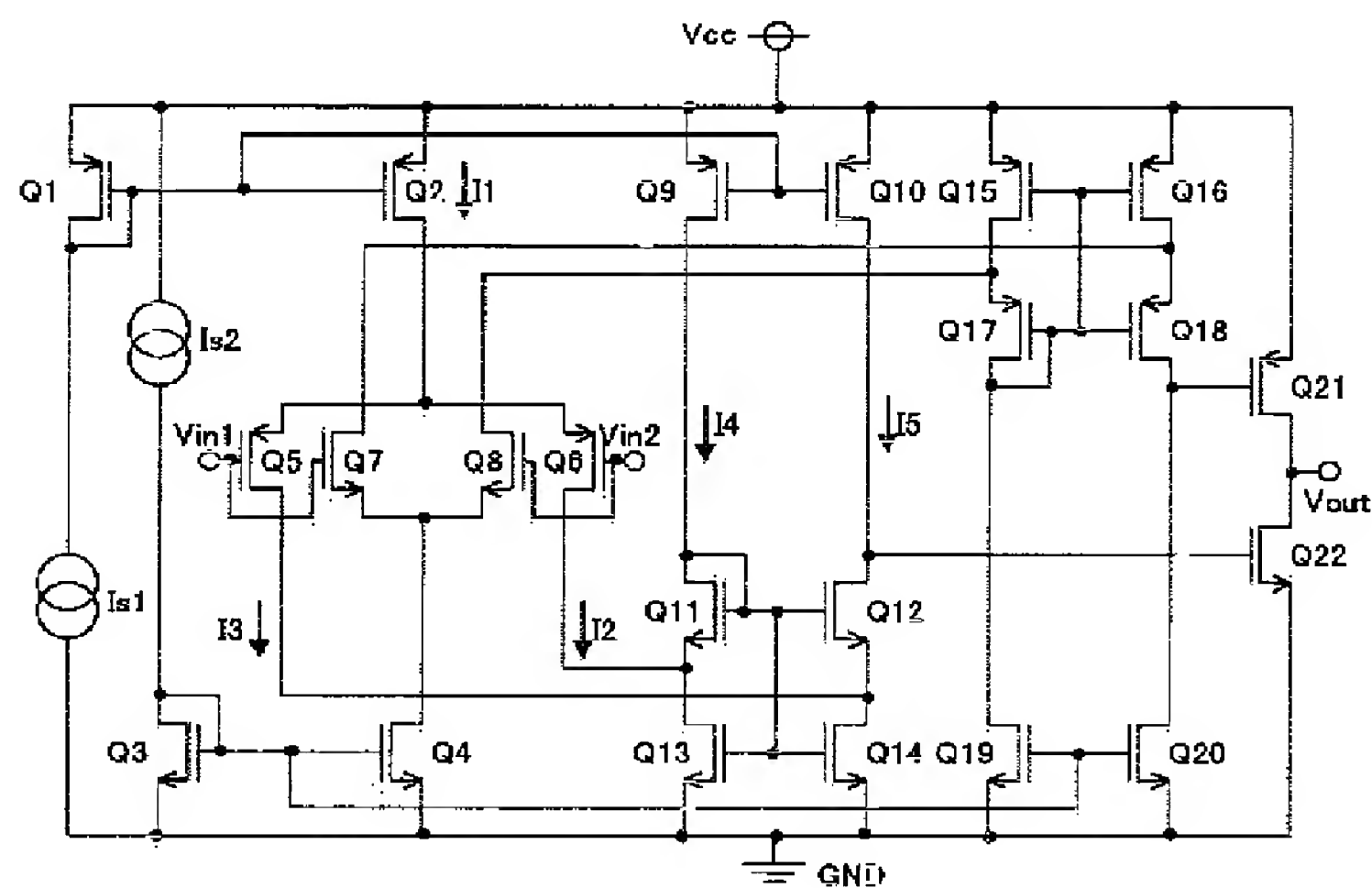
【図3】従来の差動増幅器の他の例を示す等価回路図

【符号の説明】

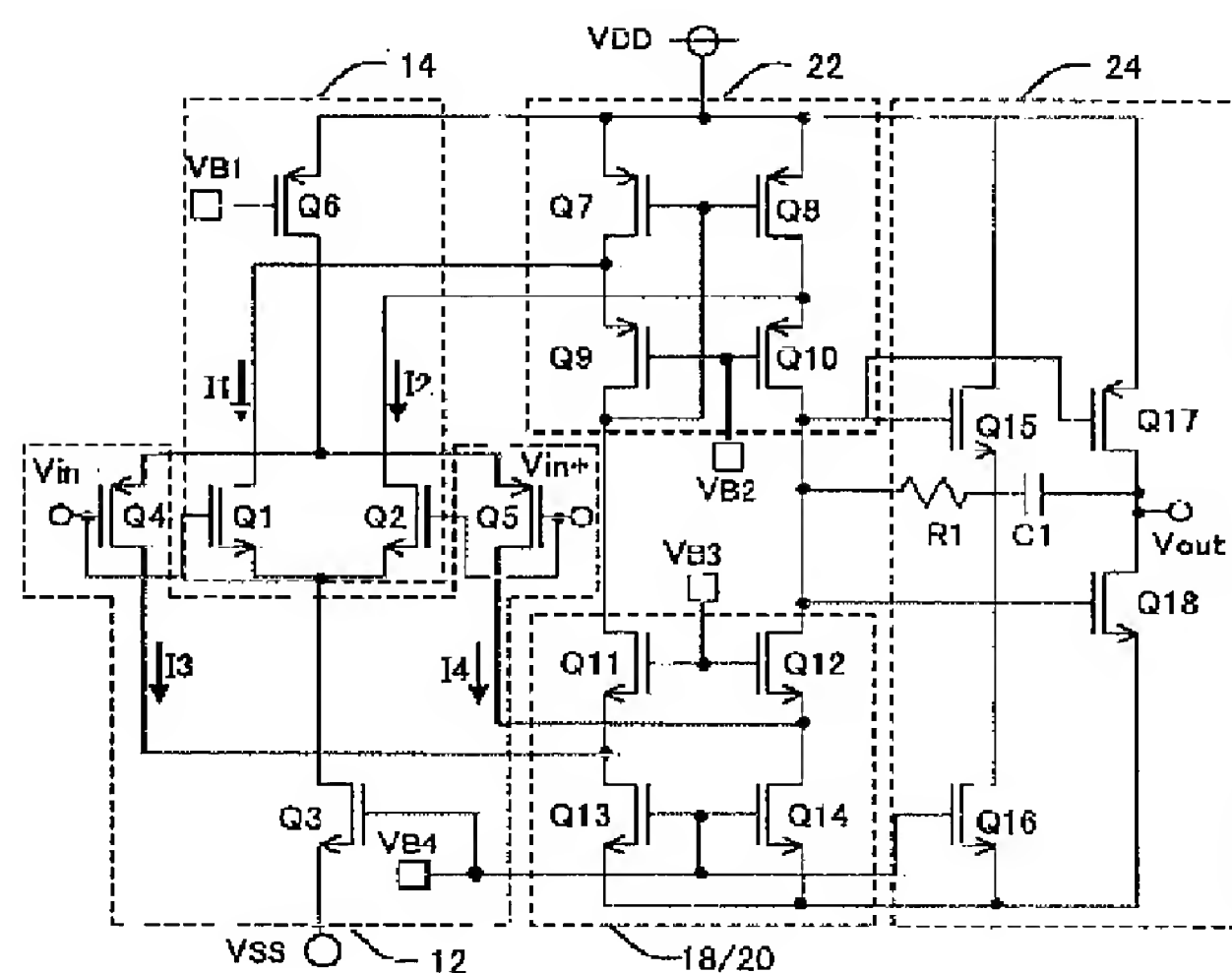
Q1～Q22 トランジスタ

Vcc 電源

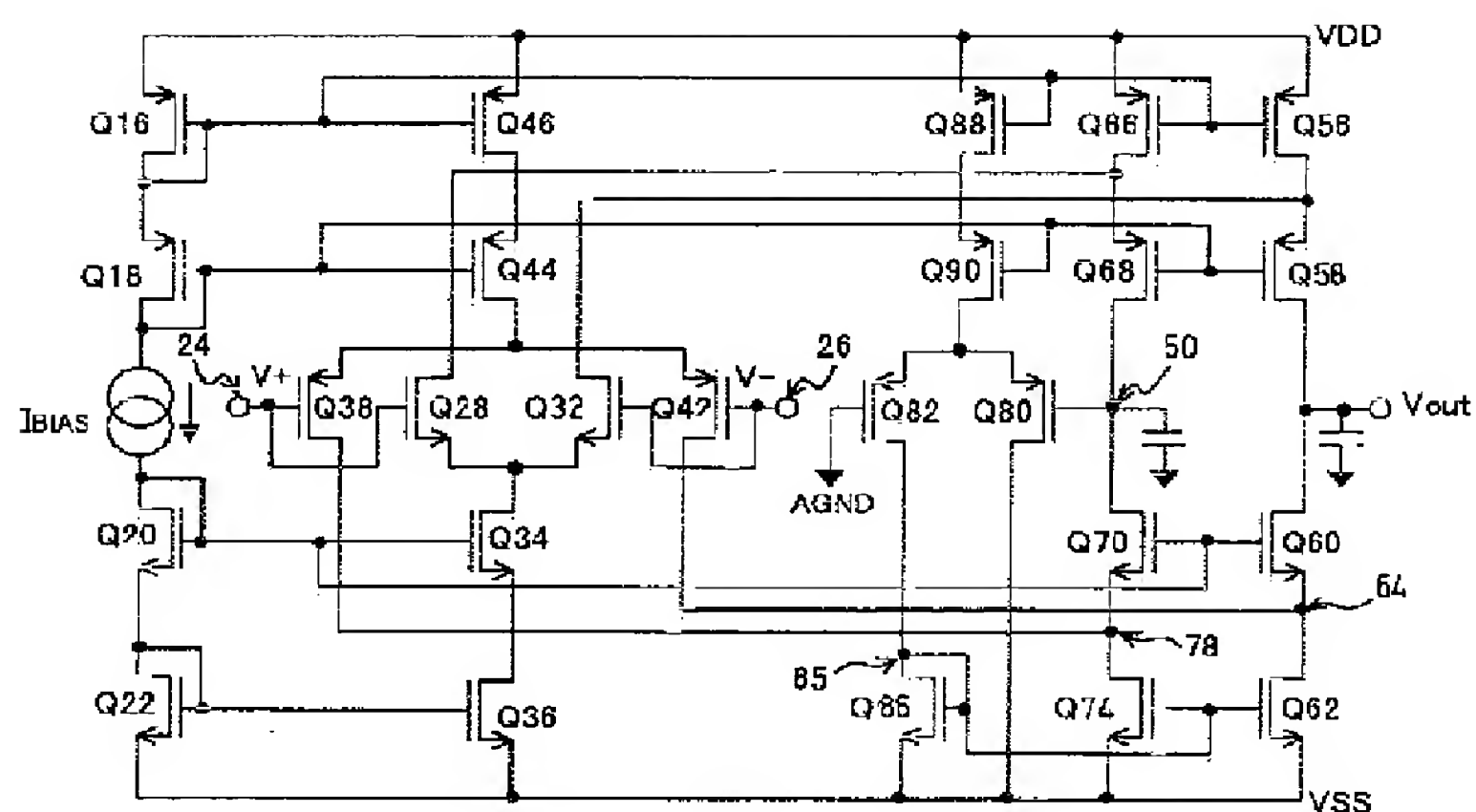
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5J066 AA01 AA12 CA00 CA54 CA74
CA92 FA20 HA10 HA17 HA25
HA29 KA05 KA09 MA17 MA21
ND01 ND14 ND22 ND23 PD01